

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2001年 2月20日

出 願 番 号

Application Number:

特願2001-044068

出 願 人

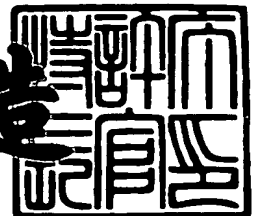
Applicant(s):

セイコーインスツルメンツ株式会社

2001年 9月13日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3084401

【書類名】 特許願

【整理番号】 01000080

【提出日】 平成13年 2月20日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 27/06

【発明者】

 【住所又は居所】 千葉県千葉市美浜区中瀬 1 丁目 8 番地 セイコーインス
ツルメンツ株式会社内

 【氏名】 小山内 潤

【特許出願人】

 【識別番号】 000002325

 【氏名又は名称】 セイコーインスツルメンツ株式会社

 【代表者】 服部 純一

【代理人】

 【識別番号】 100096286

 【弁理士】

 【氏名又は名称】 林 敬之助

【手数料の表示】

 【予納台帳番号】 008246

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 9003012

【ブルーフの要否】 不要

【書類名】 明細書

【発明の名称】 相補型MOS半導体装置

【特許請求の範囲】

【請求項1】 Nチャネル型MOSトランジスターとPチャネル型MOSトランジスターと抵抗体とを有する相補型MOS半導体装置において、前記Nチャネル型MOSトランジスターのゲート電極の導電型がP型であり、前記Pチャネル型MOSトランジスターのゲート電極の導電型がP型であることを特徴とする相補型MOS半導体装置。

【請求項2】 前記Nチャネル型MOSトランジスターのP型ゲート電極および前記Pチャネル型MOSトランジスターのP型ゲート電極が第一の多結晶シリコンからなることを特徴とする請求項1記載の相補型MOS半導体装置。

【請求項3】 前記Nチャネル型MOSトランジスターのP型ゲート電極および前記Pチャネル型MOSトランジスターのP型ゲート電極が第一の多結晶シリコンと第一の高融点金属シリサイドとの積層からなるポリサイド構造であることを特徴とする請求項1記載の相補型MOS半導体装置。

【請求項4】 前記抵抗体が前記第一の多結晶シリコンであることを特徴とする請求項1乃至3いずれか1項に記載の相補型MOS半導体装置。

【請求項5】 前記第一の多結晶シリコンからなる前記抵抗体は、比較的低濃度の第一のN型抵抗体を含むことを特徴とする請求項1乃至4いずれか1項に記載の相補型MOS半導体装置。

【請求項6】 前記第一の多結晶シリコンからなる前記抵抗体は、比較的高濃度の第二のN型抵抗体を含むことを特徴とする請求項1乃至4いずれか1項に記載の相補型MOS半導体装置。

【請求項7】 前記第一の多結晶シリコンからなる前記抵抗体は、比較的低濃度の第一のP型抵抗体を含むことを特徴とする請求項1乃至4いずれか1項に記載の相補型MOS半導体装置。

【請求項8】 前記第一の多結晶シリコンからなる前記抵抗体は、比較的高濃度の第二のP型抵抗体を含むことを特徴とする請求項1乃至4いずれか1項に記載の相補型MOS半導体装置。

【請求項 9】 前記第一の多結晶シリコン単層からなる前記P型ゲート電極の膜厚は2000 Åから6000 Åの範囲であることを特徴とする請求項1または2記載の相補型MOS半導体装置。

【請求項 10】 前記第一の多結晶シリコンと前記第一の高融点金属シリサイドとの積層である前記ポリサイド構造からなる前記P型ゲート電極において、前記第一の多結晶シリコンの膜厚が500 Åから2500 Åの範囲であり、前記第一の高融点金属シリサイドの膜厚が500 Åから2500 Åの範囲であることを特徴とする請求項1または3に記載の相補型MOS半導体装置。

【請求項 11】 前記Nチャネル型MOSトランジスターおよび前記Pチャネル型MOSトランジスターの前記P型ゲート電極が前記第一の多結晶シリコン単層からなる場合の前記第一の多結晶シリコンからなる前記抵抗体の膜厚は2000 Åから6000 Åの範囲であり、前記Nチャネル型MOSトランジスターおよび前記Pチャネル型MOSトランジスターの前記P型ゲート電極が前記第一の多結晶シリコンと前記第一の高融点金属シリサイドとの積層である前記ポリサイド構造からなる場合の前記第一の多結晶シリコンの前記抵抗体の膜厚は500 Åから2500 Åの範囲であることを特徴とする請求項1乃至10いずれか1項に記載の相補型MOS半導体装置。

【請求項 12】 前記比較的低濃度な第一のN型抵抗体は不純物濃度が $1 \times 10^{14} \sim 9 \times 10^{18} \text{ atoms/cm}^3$ であるリンまたは砒素を含み、シート抵抗値が数kΩ/□から数十kΩ/□程度であることを特徴とする請求項1または4または5に記載の相補型MOS半導体装置。

【請求項 13】 前記比較的高濃度な第二のN型抵抗体は不純物濃度が $1 \times 10^{19} \text{ atoms/cm}^3$ 以上であるリンまたは砒素を含み、シート抵抗値が100Ω/□前後から数百Ω/□程度であり、温度係数が数百ppm/℃から千ppm/℃前後程度であることを特徴とする請求項1または4または6に記載の相補型MOS半導体装置。

【請求項 14】 前記比較的低濃度な第一のP型抵抗体は不純物濃度が $1 \times 10^{14} \sim 9 \times 10^{18} \text{ atoms/cm}^3$ であるボロンまたはBF₂を含み、シート抵抗値が数kΩ/□から数十kΩ/□程度であることを特徴とする請求項1または4また

は 7 に記載の相補型MOS半導体装置。

【請求項 1 5】 前記比較的高濃度な第二のP型抵抗体は不純物濃度が $1 \times 10^{19} \text{ atoms/cm}^3$ 以上であるボロンまたは BF_2 を含み、シート抵抗値が数百 Ω/\square から 1 k Ω/\square 前後であり、温度係数が数百 ppm/ $^{\circ}\text{C}$ から千 ppm/ $^{\circ}\text{C}$ 前後程度であることを特徴とする請求項 1 または 4 または 8 に記載の相補型MOS半導体装置。

【請求項 1 6】 前記第一の高融点金属シリサイドがタングステンシリサイドもしくはモリブデンシリサイドもしくはチタンシリサイドもしくはプラチナシリサイドであることを特徴とする請求項 1 または 3 または 1 0 または 1 1 に記載の相補型MOS半導体装置。

【請求項 1 7】 前記Nチャネル型MOSトランジスターのP型ゲート電極および前記Pチャネル型MOSトランジスターのP型ゲート電極を構成する前記第一の多結晶シリコンは不純物濃度が $1 \times 10^{18} \text{ atoms/cm}^3$ 以上のボロンまたは BF_2 を含むことを特徴とする請求項 1 または 2 または 3 に記載の相補型MOS半導体装置。

【請求項 1 8】 前記Nチャネル型MOSトランジスターおよび前記Pチャネル型MOSトランジスターは、ソースとドレインが前記P型ゲート電極と平面的にオーバーラップしている高不純物濃度の拡散層からなるシングルドレイン構造である第一の構造のMOSトランジスターを含むことを特徴とする請求項 1 または 2 または 3 に記載の相補型MOS半導体装置。

【請求項 1 9】 前記Nチャネル型MOSトランジスターおよび前記Pチャネル型MOSトランジスターは、ドレイン側だけが前記P型ゲート電極と平面的にオーバーラップしているかもしくはソースとドレインの両方が前記P型ゲート電極と平面的にオーバーラップしている低不純物濃度の拡散層と、ドレイン側だけが前記P型ゲート電極と平面的にオーバーラップしないかしくはソースとドレインの両方が前記P型ゲート電極と平面的にオーバーラップしない高不純物濃度の拡散層とからなる第二の構造のMOSトランジスターを含むことを特徴とする請求項 1 または 2 または 3 に記載の相補型MOS半導体装置。

【請求項 2 0】 前記Nチャネル型MOSトランジスターおよび前記Pチャネル型MOSトランジスターは、ドレイン側だけが前記P型ゲート電極と平面的にオーバ

ーラップしているかもしくはソースとドレインの両方が前記P型ゲート電極と平面的にオーバーラップしている低不純物濃度の拡散層と、ドレイン側だけが前記P型ゲート電極と平面的にオーバーラップしないかもしくはソースとドレインの両方が前記P型ゲート電極と平面的にオーバーラップしない高不純物濃度の拡散層とからなり、さらに前記高不純物濃度の拡散層と前記P型ゲート電極の間の絶縁膜がゲート絶縁膜よりも膜厚が厚い第三の構造のMOSトランジスターを含むことを特徴とする請求項1または2または3に記載の相補型MOS半導体装置。

【請求項21】 前記Nチャネル型MOSトランジスターおよび前記Pチャネル型MOSトランジスターは、ソースとドレインが前記P型ゲート電極と平面的にオーバーラップしている高不純物濃度の拡散層と、ドレイン側のみもしくはソースとドレインの両方が前記高濃度拡散層よりさらにチャネル側に拡散して前記P型ゲート電極と平面的にオーバーラップしている低不純物濃度の拡散層とからなる第四の構造のMOSトランジスターを含むことを特徴とする請求項1または2または3に記載の相補型MOS半導体装置。

【請求項22】 前記第二の構造のMOSトランジスターおよび前記第三の構造のMOSトランジスターおよび前記第四の構造のMOSトランジスターにおける前記低不純物濃度拡散層の不純物濃度が $1 \times 10^{16} \sim 1 \times 10^{18} \text{ atoms/cm}^3$ であり、前記第一の構造のMOSトランジスターおよび前記第二の構造のMOSトランジスターおよび前記第三の構造のMOSトランジスターおよび前記第四の構造のMOSトランジスターにおける前記高不純物濃度拡散層の不純物濃度が $1 \times 10^{19} \text{ atoms/cm}^3$ 以上であることを特徴とする請求項18乃至21いずれか1項に記載の相補型MOS半導体装置。

【請求項23】 前記Nチャネル型MOSトランジスターの前記第二の構造のMOSトランジスターおよび前記第三の構造のMOSトランジスターおよび前記第四の構造のMOSトランジスターにおける前記低不純物濃度拡散層の不純物が砒素またはリンであり、前記Nチャネル型MOSトランジスターの前記第一の構造のMOSトランジスターおよび前記第二の構造のMOSトランジスターおよび前記第三の構造のMOSトランジスターおよび前記第四の構造のMOSトランジスターにおける前記高不純物濃度拡散層の不純物が砒素またはリンであることを特徴とする請求項18乃至

2 1 いずれか 1 項に記載の相補型MOS半導体装置。

【請求項 2 4】 前記Pチャネル型MOSトランジスターの前記第二の構造のMOSトランジスターおよび前記第三の構造のMOSトランジスターおよび前記第四の構造のMOSトランジスターにおける前記低不純物濃度拡散層の不純物がボロンまたは BF_2 であり、前記Pチャネル型MOSトランジスターの前記第一の構造のMOSトランジスターおよび前記第二の構造のMOSトランジスターおよび前記第三の構造のMOSトランジスターおよび前記第四の構造のMOSトランジスターにおける前記高不純物濃度拡散層の不純物がボロンまたは BF_2 であることを特徴とする請求項 1 8 乃至 2 1 いずれか 1 項に記載の相補型MOS半導体装置。

【請求項 2 5】 前記Nチャネル型MOSトランジスターは、しきい値電圧が埋込みチャネル型のエンハンスメント型である第一のNチャネル型MOSトランジスターを含むことを特徴とする請求項 1 または 2 または 3 に記載の相補型MOS半導体装置。

【請求項 2 6】 前記Nチャネル型MOSトランジスターは、しきい値電圧が埋込みチャネル型のディプリーション型である第二のNチャネル型MOSトランジスターを含むことを特徴とする請求項 1 または 2 または 3 に記載の相補型MOS半導体装置。

【請求項 2 7】 前記Pチャネル型MOSトランジスターは、しきい値電圧が表面チャネル型のエンハンスメント型である第一のPチャネル型MOSトランジスターを含むことを特徴とする請求項 1 または 2 または 3 に記載の相補型MOS半導体装置。

【請求項 2 8】 前記Pチャネル型MOSトランジスターは、しきい値電圧が埋込みチャネル型のディプリーション型である第二のPチャネル型MOSトランジスターを含むことを特徴とする請求項 1 または 2 または 3 に記載の相補型MOS半導体装置。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は低電圧動作、低消費電力および高駆動能力が要求される半導体装置、

特に電圧検出器(Voltage Detector、以後VDと表記)や定電圧レギュレータ(Voltage Regulator、以後VRと表記)やスイッチングレギュレータ(Switching Regulator、以後SWRと表記など)などのパワーマネジメント半導体装置やオペアンプ、コンパレータなどのアナログ半導体装置に関する。

【0002】

【従来の技術】

図9に従来の半導体装置の模式的断面図を示す。P型半導体基板に形成されたゲート電極がN+型の多結晶シリコンからなるNチャネル型MOSトランジスタ(以後NMOSと表記)と、Nウェル領域に形成されたゲート電極がやはりN+型の多結晶シリコンからなるPチャネル型MOSトランジスタ(以後PMOSと表記)とからなる相補型MOS構造(Complementary MOS、以後CMOSと表記)と、フィールド絶縁膜上に形成されている電圧を分圧するための分圧回路もしくは時定数を設定するCR回路などに用いられる抵抗体とから構成されている。抵抗体はその製造方法の簡便さから、導電型がN型であるCMOSのゲート電極と同一層でかつ同導電型の多結晶シリコンにより形成されている。

【0003】

【発明が解決しようとする課題】

上記の従来の構造による半導体装置において、標準的なしきい値電圧である0.7V程度のエンハンスメント型のNMOS(以後E型NMOSと表記)は、ゲート電極の導電型がN+型の多結晶シリコンであるためゲート電極と半導体基板の仕事関数の関係からチャネルが半導体基板の表面に形成される表面チャネルであるが、標準的なしきい値電圧である-0.7V程度のエンハンスメント型のPMOS(以後E型PMOSと表記)は、N+型多結晶シリコンであるゲート電極とNウェルの仕事関数の関係からチャネルが半導体基板表面よりも幾分半導体基板内側に形成される埋込みチャネルとなっている。

【0004】

埋込みチャネル型のE型PMOSにおいて、低電圧動作を実現すべくしきい値電圧を例えば-0.5V以上に設定する場合、MOSトランジスタの低電圧動作の指標であるサブスレッショルド特性は極めて悪化し、従ってPMOSのオフ時にお

けるリーク電流は増加し、結果として半導体装置の待機時における消費電流が著しく増加し、近年需要が大きく今後もその市場がさらに発展すると言われている携帯電話や携帯端末に代表される携帯機器への適用が困難であるという問題を有している。

【 0 0 0 5 】

一方上記の課題である低電圧動作と低消費電流を両立させる技術的方策として、図 1 0 や図 1 1 に示すNMOSのゲート電極の導電型がN型であり、PMOSのゲート電極の導電型をP型としたいいわゆる同極ゲート技術が一般に知られているところである。この場合E型NMOSとE型PMOSともに表面チャネル型のMOSトランジスターであるため、しきい値電圧を小さくしても極端なサブスレッショルド係数の悪化に至らず低電圧動作および低消費電力がともに可能となる。

【 0 0 0 6 】

しかし同極ゲートCMOSは、N+多結晶シリコン単極だけのゲート電極であるCMOSに比べ、その製造工程においてNMOS、PMOSともにゲートの極性を各々作り分けるために工程数が増加し製造コストや製造工期の増大を招き、さらに最も基本的な回路要素であるインバータ回路においては通常は、面積効率の向上のためにNMOSとPMOSのゲートはメタルを介しての結線を避け平面的にNMOSからPMOSまで連続な1個の多結晶シリコンないしは多結晶シリコンと高融点金属シリサイドとの積層からなるポリサイド構造によりレイアウトされるが、図 1 0 に示すような多結晶シリコン単層から形成される場合にはその多結晶シリコン中のPN接合のインピーダンスが高く実用的でないこと、図 1 1 に示すようなポリサイド構造の場合にはN型とP型の不純物は工程における熱処理中に高融点金属シリサイド中を高速でお互いに逆導電型のゲート電極へ拡散し、その結果として仕事関数に変化してしきい値電圧が安定しないなどの、コスト面や特性面において問題を有している。

【 0 0 0 7 】

本発明は低コストで短工期でありかつ低電圧動作や低消費電力であるパワーマネジメント半導体装置やアナログ半導体装置の実現を可能とする構造を提供することを目的とする。

【 0 0 0 8 】

【課題を解決するための手段】

上記課題を解決するために、本発明は次の手段を用いた。

【0009】

(1) Nチャネル型MOSトランジスターとPチャネル型MOSトランジスターと抵抗とを有する相補型MOS半導体装置において、前記Nチャネル型MOSトランジスターのゲート電極の導電型がP型であり、前記Pチャネル型MOSトランジスターのゲート電極の導電型がP型である相補型MOS半導体装置とした。

【0010】

(2) 前記Nチャネル型MOSトランジスターのP型ゲート電極および前記Pチャネル型MOSトランジスターのP型ゲート電極が第一の多結晶シリコンからなる相補型MOS半導体装置とした。

【0011】

(3) 前記Nチャネル型MOSトランジスターのP型ゲート電極および前記Pチャネル型MOSトランジスターのP型ゲート電極が第一の多結晶シリコンと第一の高融点金属シリサイドとの積層からなるポリサイド構造である相補型MOS半導体装置とした。

【0012】

(4) 前記抵抗体が前記第一の多結晶シリコンである相補型MOS半導体装置とした。

【0013】

(5) 前記第一の多結晶シリコンからなる前記抵抗体は、比較的低濃度な第一のN型抵抗体を含む相補型MOS半導体装置とした。

【0014】

(6) 前記第一の多結晶シリコンからなる前記抵抗体は、比較的高濃度な第二のN型抵抗体を含む相補型MOS半導体装置とした。

【0015】

(7) 前記第一の多結晶シリコンからなる前記抵抗体は、比較的低濃度な第一のP型抵抗体を含む相補型MOS半導体装置とした。

【0016】

(8) 前記第一の多結晶シリコンからなる前記抵抗体は、比較的高濃度な第二のP型抵抗体を含む相補型MOS半導体装置とした。

【0017】

(9) 前記第一の多結晶シリコン単層からなる前記P型ゲート電極の膜厚は2000Åから6000Åの範囲である相補型MOS半導体装置とした。

【0018】

(10) 前記第一の多結晶シリコンと前記第一の高融点金属シリサイドとの積層である前記ポリサイド構造からなる前記P型ゲート電極において、前記第一の多結晶シリコンの膜厚が500Åから2500Åの範囲であり、前記第一の高融点金属シリサイドの膜厚が500Åから2500Åの範囲である相補型MOS半導体装置とした。

【0019】

(11) 前記Nチャネル型MOSトランジスターおよび前記Pチャネル型MOSトランジスターの前記P型ゲート電極が前記第一の多結晶シリコン単層からなる場合の前記第一の多結晶シリコンからなる前記抵抗体の膜厚は2000Åから6000Åの範囲であり、前記Nチャネル型MOSトランジスターおよび前記Pチャネル型MOSトランジスターの前記P型ゲート電極が前記第一の多結晶シリコンと前記第一の高融点金属シリサイドとの積層である前記ポリサイド構造からなる場合の前記第一の多結晶シリコンの前記抵抗体の膜厚は500Åから2500Åの範囲である相補型MOS半導体装置とした。

【0020】

(12) 前記比較的低濃度な第一のN型抵抗体は不純物濃度が $1 \times 10^{14} \sim 9 \times 10^{18} \text{ atoms/cm}^3$ であるリンまたは砒素を含み、シート抵抗値が数kΩ/□から数十kΩ/□程度である相補型MOS半導体装置とした。

【0021】

(13) 前記比較的高濃度な第二のN型抵抗体は不純物濃度が 1×10^{19} 以上であるリンまたは砒素を含み、シート抵抗値が100Ω/□前後から数百Ω/□程度であり、温度係数が数百ppm/℃から千ppm/℃前後程度である相補型MOS半導体装置とした。

【 0 0 2 2 】

(1 4) 前記比較的低濃度な第一のP型抵抗体は不純物濃度が $1 \times 10^{14} \sim 9 \times 10^{18} \text{atoms/cm}^3$ であるボロンまたは BF_2 を含み、シート抵抗値が数 $\text{k} \Omega / \square$ から数十 $\text{k} \Omega / \square$ 程度である相補型MOS半導体装置とした。

【 0 0 2 3 】

(1 5) 前記比較的高濃度な第二のP型抵抗体は不純物濃度が $1 \times 10^{19} \text{atoms/cm}^3$ 以上であるボロンまたは BF_2 を含み、シート抵抗値が数百 Ω / \square から $1 \text{k} \Omega / \square$ 前後であり、温度係数が数百 $\text{ppm}/^\circ\text{C}$ から千 $\text{ppm}/^\circ\text{C}$ 前後程度である相補型MOS半導体装置とした。

【 0 0 2 4 】

(1 6) 前記第一の高融点金属シリサイドがタングステンシリサイドもしくはモリブデンシリサイドもしくはチタンシリサイドもしくはプラチナシリサイドである相補型MOS半導体装置とした。

【 0 0 2 5 】

(1 7) 前記Nチャネル型MOSトランジスターのP型ゲート電極および前記Pチャネル型MOSトランジスターのP型ゲート電極を構成する前記第一の多結晶シリコンは不純物濃度が $1 \times 10^{18} \text{atoms/cm}^3$ 以上のボロンまたは BF_2 を含む相補型MOS半導体装置とした。

【 0 0 2 6 】

(1 8) 前記Nチャネル型MOSトランジスターおよび前記Pチャネル型MOSトランジスターは、ソースとドレインが前記P型ゲート電極と平面的にオーバーラップしている高不純物濃度の拡散層からなるシングルドレイン構造である第一の構造のMOSトランジスターを含む相補型MOS半導体装置とした。

【 0 0 2 7 】

(1 9) 前記Nチャネル型MOSトランジスターおよび前記Pチャネル型MOSトランジスターは、ドレイン側だけが前記P型ゲート電極と平面的にオーバーラップしているかもしくはソースとドレインの両方が前記P型ゲート電極と平面的にオーバーラップしている低不純物濃度の拡散層と、ドレイン側だけが前記P型ゲート電極と平面的にオーバーラップしないかしくはソースとドレインの両方が前

記P型ゲート電極と平面的にオーバーラップしない高不純物濃度の拡散層とからなる第二の構造のMOSトランジスターを含む相補型MOS半導体装置。

【 0 0 2 8 】

(20) 前記Nチャネル型MOSトランジスターおよび前記Pチャネル型MOSトランジスターは、ドレイン側だけが前記P型ゲート電極と平面的にオーバーラップしているかもしくはソースとドレインの両方が前記P型ゲート電極と平面的にオーバーラップしている低不純物濃度の拡散層と、ドレイン側だけが前記P型ゲート電極と平面的にオーバーラップしないかもしくはソースとドレインの両方が前記P型ゲート電極と平面的にオーバーラップしない高不純物濃度の拡散層とからなり、さらに前記高不純物濃度の拡散層と前記P型ゲート電極の間の絶縁膜がゲート絶縁膜よりも膜厚が厚い第三の構造のMOSトランジスターを含む相補型MOS半導体装置。

【 0 0 2 9 】

(21) 前記Nチャネル型MOSトランジスターおよび前記Pチャネル型MOSトランジスターは、ソースとドレインが前記P型ゲート電極と平面的にオーバーラップしている高不純物濃度の拡散層と、ドレイン側のみもしくはソースとドレインの両方が前記高濃度拡散層よりさらにチャネル側に拡散して前記P型ゲート電極と平面的にオーバーラップしている低不純物濃度の拡散層とからなる第四の構造のMOSトランジスターを含む相補型MOS半導体装置とした。

【 0 0 3 0 】

(22) 前記第二の構造のMOSトランジスターおよび前記第三の構造のMOSトランジスターおよび前記第四の構造のMOSトランジスターにおける前記低不純物濃度拡散層の不純物濃度が $1 \times 10^{16} \sim 1 \times 10^{18} \text{ atoms/cm}^3$ であり、前記第一の構造のMOSトランジスターおよび前記第二の構造のMOSトランジスターおよび前記第三の構造のMOSトランジスターおよび前記第四の構造のMOSトランジスターにおける前記高不純物濃度拡散層の不純物濃度が $1 \times 10^{19} \text{ atoms/cm}^3$ 以上である相補型MOS半導体装置。

【 0 0 3 1 】

(23) 前記Nチャネル型MOSトランジスターの前記第二の構造のMOSトラン

ジスターおよび前記第三の構造のMOSトランジスターおよび前記第四の構造のMOSトランジスターにおける前記低不純物濃度拡散層の不純物が砒素またはリンであり、前記Nチャネル型MOSトランジスターの前記第一の構造のMOSトランジスターおよび前記第二の構造のMOSトランジスターおよび前記第三の構造のMOSトランジスターおよび前記第四の構造のMOSトランジスターにおける前記高不純物濃度拡散層の不純物が砒素またはリンである相補型MOS半導体装置。

【 0 0 3 2 】

(2 4) 前記Pチャネル型MOSトランジスターの前記第二の構造のMOSトランジスターおよび前記第三の構造のMOSトランジスターおよび前記第四の構造のMOSトランジスターにおける前記低不純物濃度拡散層の不純物がボロンまたは BF_2 であり、前記Pチャネル型MOSトランジスターの前記第一の構造のMOSトランジスターおよび前記第二の構造のMOSトランジスターおよび前記第三の構造のMOSトランジスターおよび前記第四の構造のMOSトランジスターにおける前記高不純物濃度拡散層の不純物がボロンまたは BF_2 である相補型MOS半導体装置とした。

【 0 0 3 3 】

(2 5) 前記Nチャネル型MOSトランジスターは、しきい値電圧が埋込みチャネル型のエンハンスメント型である第一のNチャネル型MOSトランジスターを含む相補型MOS半導体装置とした。

【 0 0 3 4 】

(2 6) 前記Nチャネル型MOSトランジスターは、しきい値電圧が埋込みチャネル型のディプリーション型である第二のNチャネル型MOSトランジスターを含む相補型MOS半導体装置とした。

【 0 0 3 5 】

(2 7) 前記Pチャネル型MOSトランジスターは、しきい値電圧が表面チャネル型のエンハンスメント型である第一のPチャネル型MOSトランジスターを含む相補型MOS半導体装置とした。

【 0 0 3 6 】

(2 8) 前記Pチャネル型MOSトランジスターは、しきい値電圧が埋込みチャネル型のディプリーション型である第二のPチャネル型MOSトランジスターを含む

相補型MOS半導体装置とした。

【0037】

【発明の実施の形態】

以下本発明の実施の形態を図面に基づいて説明する。

【0038】

図1は本発明のCMOS半導体装置の一実施例を示す模式的断面図である。P型半導体基板101に形成されたゲート電極がP+型の多結晶シリコン107であり、ソースとドレインがいわゆるシングルドレイン構造であるNMOS113と、Nウェル領域102に形成されたゲート電極がやはりP+型の多結晶シリコン107であるシングルドレイン構造のPMOS112とからなるCMOSと、フィールド絶縁膜106上に形成されている電圧を分圧するための分圧回路もしくは時定数を設定するCR回路などに用いられるP-抵抗体114およびN-抵抗体115とから構成されている。ゲート電極であるP+多結晶シリコン107は濃度が $1 \times 10^{18} \text{ atoms/cm}^3$ 以上のボロンまたは BF_2 などのアクセプター不純物を含む。抵抗体114、115はその製造方法の簡便さからCMOSのゲート電極と同一層の多結晶シリコンにより形成されている。

【0039】

PMOS112においてゲート電極をP+多結晶シリコン107とすることで、Nウェル102とゲート電極の仕事関数の関係からE型PMOSのチャネルは表面チャネルとなるが、表面チャネル型PMOSにおいてはしきい値電圧を例えば -0.5 V 以上に設定しても極端なサブスレッショルド係数の悪化に至らず低電圧動作および低消費電力がともに可能となる。

【0040】

一方NMOS113においては、P+多結晶シリコン107のゲート電極とP型半導体基板101の仕事関数の関係からE型NMOSのチャネルは埋込みチャネルとなるが、しきい値を所望の値に設定する場合に拡散係数の小さな砒素をしきい値制御用ドナー不純物として使用できるためチャネルは極めて浅い埋込みチャネルとなる。従ってしきい値電圧を例えば 0.5 V 以下の小さな値に設定しても、しきい値制御用アクセプター不純物として拡散係数が大きくイオン注入のプロジェクシ

ョンレンジも大きいボロンを使用せざるを得ず深い埋込みチャネルとなるN+多結晶シリコンをゲート電極としたE型PMOSの場合に比べ、サブスレッショルドの劣化やリーク電流の増大を著しく抑制できる。

【0041】

以上の説明により本発明によるP+多結晶シリコン単極をゲート電極としたCMOSは、従来のN+多結晶シリコン単極をゲート電極としたCMOSに比べ、低電圧動作および低消費電力に対し有効な技術であることが理解されよう。

【0042】

また低電圧動作や低消費電力に対してはいわゆる同極ゲートCMOS技術が一般的に知られているところであるが、同極ゲート形成においてはゲート電極をP型とN型に作り分けるために通常の単極ゲートプロセスに比べ少なくともマスク工程が2工程追加必要となる。単極ゲートCMOSの標準的なマスク工程数は10回程度であるが、同極ゲートとすることで概算20%の工程コスト増となり、半導体装置のパフォーマンスとコストの総合的な観点からも本発明によるP+多結晶シリコン単極のゲート電極によるCMOSが有効といえよう。

【0043】

図1にはP-抵抗体114およびN-抵抗体115の両方を示しているが、それらの抵抗体の特徴と製品に要求される特性とを考慮し工程数やコスト削減の目的でP-抵抗体114もしくはN-抵抗体115のどちらかしかを搭載しない場合もある。

【0044】

抵抗体はゲート電極と同一層の多結晶シリコンにより形成されており、従って膜厚は2000Åから6000Å程度の膜厚であり、シート抵抗値はその抵抗の用途にもよるが通常の分圧回路においては数kΩ/□から数十kΩ/□の範囲で使われる。この時の不純物はP-抵抗体114においてはボロンないしBF₂を用い $1 \times 10^{14} \sim 9 \times 10^{18} \text{ atoms/cm}^3$ 程度の濃度であり、N-抵抗体115においてはリンないし砒素を用い $1 \times 10^{14} \sim 9 \times 10^{18} \text{ atoms/cm}^3$ 程度の濃度である。

【0045】

従来のゲート電極がN+多結晶シリコン単極ゲートCMOSの場合においては多結晶シリコン中へのN型不純物のドーピングとして拡散炉中でのリン拡散が一般的に用いられるが、この場合抵抗体の形成は酸化膜や絶縁膜などのハードマスクが必要となり、特にN型よりも高抵抗化の面で有利なP型の抵抗体はより複雑な工程を経ることではその形成はできなかったが、P+多結晶シリコン単極ゲートCMOSにおいては、ゲート多結晶シリコンへの不純物ドーピングはハードマスクが不要であるイオン注入法により行われるため、簡素な工程によりP-抵抗体およびN-抵抗体の両方の形成が可能であり、この点においても本発明はアドバンテージを有する。

【 0 0 4 6 】

次に本発明を実製品に適用した場合の具体的な効果を図2を用いて説明する。図2は半導体装置による正型VRの構成概要を示す。VRは基準電圧回路123とエラーアンプ124とPMOS出力素子125と抵抗129からなる分圧回路130とからなり、入力端子126に任意の電圧が入力されても常に一定の電圧を必要とされる電流値とともに出力端子128に出力する機能を有する半導体装置である。

【 0 0 4 7 】

近年、特に携帯機器向けのVRには入力電圧の低電圧化、低消費電力化、小入出力電位差でも高電流を出力できること、出力電圧の高精度化、低コスト化、小型化などが市場から要求されている。特に低コスト化と小型化は優先度の高い要求である。以上の要求に対し、本発明の構造、すなわち低コストで低しきい値電圧化が可能なCMOSによりエラーアンプやPMOS出力素子や基準電圧回路を構成し、低コストで高抵抗かつ高精度であるP-抵抗体により分圧回路を構成することにより低電圧動作、低消費電力、出力電圧の高精度化への対応が可能となる。

【 0 0 4 8 】

さらに最も優先度の高い要求である低コスト化、即ちチップサイズの縮小や小型化に対して本発明の構造は極めて多大な効果をもたらすことを具体的に説明する。

【 0 0 4 9 】

VRは数十mAから数百mAの電流を出力するが、それはPMOS出力素子の駆動能力に100%依存し、製品によってはチップ面積のほぼ半分をPMOS出力素子が占める場合がある。従ってこのPMOS出力素子のサイズを如何に縮小できるかが低コスト化および小型化のキーとなる。

【 0 0 5 0 】

一方、入力電圧の低電圧化の要求と小入出力電位差下で高電流出力の市場要求も強いことは述べたが、これはPMOS出力素子においてゲートに印加される電圧が小さくかつソースとドレイン間電圧が小さい非飽和動作モードにおいて高電流であることを指す。

【 0 0 5 1 】

非飽和動作におけるMOSトランジスタのドレイン電流は

$$I_d = (\mu \cdot C_{ox} \cdot W/L) \times \{(V_{gs} - V_{th}) - 1/2 \cdot V_{ds}\} \times V_{ds} \quad - (1) \text{ 式}$$

I_d : ドレイン電流

μ : 移動度

C_{ox} : ゲート絶縁膜容量

W : チャネル幅

L : チャネル長

V_{gs} : ゲート・ソース間電圧

V_{th} : しきい値電圧

V_{ds} : ドレイン・ソース間電圧

で表される。

【 0 0 5 2 】

面積を増やさず、 V_{gs} や V_{ds} が小さくても十分大きいドレインとするには、(1)式よりチャネル長の縮小並びに V_{th} の低下を行う必要がある。

【 0 0 5 3 】

本発明によるP+多結晶シリコン単極をゲートとしたCMOS構造は、オフ時のリーク電流を抑制したまましきい値電圧の低電圧化並びにチャネル長の縮小が行なえるため、上記のVRの低コスト化および小型化に対して非常に有効な手段であることが理解されよう。勿論同極ゲートCMOS技術を用いてもチップサイズに関して

は同等な効果は得られるが、コストの面で工程増となるため総合的には本発明ほどの効果には至らない。

【 0 0 5 4 】

またVRにおける本発明のP+多結晶シリコン単極ゲートCMOS構造による利点として、基準電圧回路をE型NMOSとディプリーション型のNMOS（以後D型NMOSと表記）のいわゆるE/D型で構成する場合、E型NMOS、D型NMOS両方ともに埋込みチャネル型となるため各々のMOSのしきい値電圧や相互コンダクタンスの温度変化に対する変化具合を同程度とすることができ、従来のN+多結晶シリコンをゲート電極とした場合のE型NMOSが表面チャネル型でD型NMOSが埋込みチャネル型から構成される基準電圧回路に比べ、温度変化に対し出力電圧変化の小さい基準電圧回路を提供できることも挙げられる。

【 0 0 5 5 】

さらに本発明のP+多結晶シリコン単極ゲートCMOS構造により、従来のN+多結晶シリコンゲート構造では、特にそのD型のしきい値電圧のばらつきが大きいため実使用に耐えなかったPMOSのE/D型基準電圧回路も実用可能となる。従ってE/D型による基準電圧回路においてNMOSもしくはPMOSのどちらもが選択が可能であり、回路設計における自由度が増えるという利点も本発明は有している。

【 0 0 5 6 】

以上VRにおける本発明の効果を説明したが、やはり高出力素子を搭載するSWRや低電圧動作、低消費電力、低コスト、小型化などの要求が強いVDにおいても、本発明の適用によりVRと同様に多大な効果が得られることも言及しておく。

【 0 0 5 7 】

図3は本発明のCMOS半導体装置の別の実施例を示す模式的断面図である。

【 0 0 5 8 】

図1に示す本発明の実施例においてはゲート電極はP+多結晶シリコン単層としたが、その場合P+多結晶シリコン単層でのシート抵抗値は $100\Omega/\square$ 程度と大きく、高速動作や高周波対応に必要な半導体装置への適用は難しいという問題を有していた。その対策としてP+多結晶シリコン 10^7 の上にタングステンシリサイドやモリブデンシリサイドやチタンシリサイドやプラチナシリサイドな

どの高融点金属シリサイド 1 1 6 を形成したいいわゆるポリサイド構造をゲート電極とし低抵抗化したのが図 3 に示す構造である。シート抵抗値は高融点金属シリサイドの種類と膜厚によるが、標準的には 5 0 0 Å から 2 5 0 0 Å の膜厚で十数 Ω/\square から数 Ω/\square のシート抵抗値である。MOS の動作そのものは P+ 多結晶シリコンと半導体との仕事関数で決まるため、低電圧動作、低消費電力、低コストに関しては図 1 で説明した効果と同等な効果が得られ、ゲート電極が低抵抗化される分さらに半導体装置性能の向上となる。

【 0 0 5 9 】

さらに図 3 においては P- 抵抗体 1 1 4 と N- 抵抗体 1 1 5 は多結晶シリコン単層から形成されており、これは例えば抵抗体となる部分の多結晶シリコン上には予め高融点金属シリサイドを被着しないかもしくは一度多結晶シリコン上に高融点金属シリサイドを被着した後その部分の高融点金属シリサイドを選択的に除去する工程フローにより形成可能であるが、この場合抵抗体である多結晶シリコンの膜厚は、総厚みが 2 0 0 0 Å から 6 0 0 0 Å 程度のポリサイド構造の下層と同一層であるため、5 0 0 Å から 2 5 0 0 Å と図 1 に示す実施例に比べ薄くなっていることから、より高抵抗化が可能となりこの点においても有利な構造となっている。

【 0 0 6 0 】

図 4 は本発明の CMOS 半導体装置の別の実施例を示す模式的断面図である。

【 0 0 6 1 】

P+ 多結晶シリコン単極 CMOS 構造は図 1 の実施例に示した構造と同じであり、図 1 に示した実施例と同様な低電圧動作、低消費電力、低コストの効果を有するが、図 1 に示した実施例との違いは多結晶シリコンからなる抵抗体を比較的高不純物濃度で低抵抗である P+ 抵抗体 1 1 7 と N+ 抵抗体 1 1 8 としている点にある。分圧回路のように比較的高いシート抵抗値で比精度が重要な抵抗回路においては図 1 の実施例に示した P- 抵抗体や N- 抵抗体が有効であるが、時定数を決定するための CR 回路のように絶対値精度が重要な抵抗体や温度係数の小さいことが要求される抵抗体においては、不純物濃度を濃くして比較的低抵抗とした方が絶対値精度ならびに温度係数は改善されるためである。

【 0 0 6 2 】

P+抵抗体 1 1 7 と N+抵抗体 1 1 8 の形成は例えば通常の CMOS 形成における NMOS と PMOS のソースとドレイン形成の際の不純物ドーピングを多結晶シリコンにも同時に行うことにより達成される。この場合 P+抵抗体 1 1 7 はボロンないし BF_2 を不純物とし、濃度は $1 \times 10^{19} \text{ atoms/cm}^3$ 程度以上でシート抵抗値は数百 Ω/\square から 1 k Ω/\square 前後のシート抵抗値であり、温度係数は数百 ppm/ $^{\circ}\text{C}$ から千 ppm/ $^{\circ}\text{C}$ 前後程度となる。N+抵抗体 1 1 8 はリンないし砒素を不純物とし、濃度は $1 \times 10^{19} \text{ atoms/cm}^3$ 程度以上でシート抵抗値は百 Ω/\square 前後から数百 Ω/\square 程度のシート抵抗値であり、温度係数は数百 ppm/ $^{\circ}\text{C}$ から千 ppm/ $^{\circ}\text{C}$ 前後程度となる。図 4 の実施例に示した CMOS はゲート電極が多結晶シリコン単層の場合を示しているが、図 3 に示したゲート電極がポリサイド構造である CMOS の抵抗体として本実施例の比較的高濃度な抵抗体を適用してもその効果は同等、もしくは多結晶シリコンが薄膜化して高抵抗化できる分、性能の向上となる。また図 4 において、N+抵抗体 1 1 8 と P+抵抗体 1 1 7 の両方を示しているが、半導体装置に要求される特性とそれらの抵抗体の特徴を考慮し工程数やコスト削減の目的でどちらかの抵抗体だけで半導体装置を構成してももちろんかまわない。

【 0 0 6 3 】

図 5 は本発明の CMOS 半導体装置の別の実施例を示す模式的断面図である。

【 0 0 6 4 】

ゲート電極は本発明の根幹である P+多結晶シリコン 1 0 7 単極の CMOS であり、図 1 に示した実施例と同様な低電圧動作、低消費電力、低コストの効果を有するが、さらにアナログ回路におけるチャネル長変調の改善やホットキャリアーによる信頼性低下の抑制およびドレイン耐圧の向上を目的としてソースとドレインもしくはドレインだけを不純物濃度の薄い拡散層 N- 1 1 9、P- 1 2 0 とし、ソースとドレインもしくはドレインだけをゲート電極から距離をおいて設けた不純物濃度の濃い拡散層 N+ 1 0 3、P+ 1 0 4 とした MOS トランジスタ構造としている。入力電圧の高い VD や VR および出力電圧の高い昇圧型の SWR などに対応するためである。図 5 に示す構造は例えば低不純物濃度の拡散層を選択的に形成した後、レジストマスクとイオン注入技術により選択的に高不純物濃度の拡散層を半

導体中に設けることで形成される。

【0065】

低不純物濃度の拡散層は、PMOS 1 1 2 の P - 1 2 0 の場合には不純物としてボロンないしは BF_2 を用い濃度が $1 \times 10^{16} \sim 1 \times 10^{18} \text{ atoms/cm}^3$ 程度であり、NMOS 1 1 3 の N - 1 1 9 の場合には不純物としてリンないしは砒素を用い濃度が $1 \times 10^{16} \sim 1 \times 10^{18} \text{ atoms/cm}^3$ 程度である。高不純物濃度の拡散層は、PMOS 1 1 2 の P + 1 0 4 の場合には不純物としてボロンないしは BF_2 を用い濃度が $1 \times 10^{19} \text{ atoms/cm}^3$ 以上であり、NMOS 1 1 3 の N + 1 0 3 場合には不純物としてリンないしは砒素を用い濃度が $1 \times 10^{19} \text{ atoms/cm}^3$ 以上である。

【0066】

ゲート電極から離れて形成されているゲート電極から高不純物濃度拡散までの距離、いわゆるオフセット長は半導体装置に入力される電圧にもよるが通常は $0.5 \mu\text{m}$ から数 μm である。図 5 においては PMOS 1 1 2 の片側だけがオフセット構造であり、NMOS 1 1 3 は両側がオフセット構造となっているが、素子の回路での使用方法によりその回路において適切な構造を MOS トランジスターの導電型に関わらず選択することができる。標準的には電流方向が双方向でソースとドレインがケースバイケースで入れ替わる両方向に耐圧が必要な場合はソースとドレインの両方をオフセット構造とし、電流方向が単方向でソースとドレインが固定しているような場合には寄生抵抗の削減のため片側すなわちドレイン側だけをオフセット構造とする。また図 5 にはゲート電極として P + 多結晶シリコン単層の例を示しているが、図 3 に示した P + ポリサイド構造をゲート電極として使用することも可能である。同様に抵抗体も図 5 には P - 抵抗体しか示していないが、図 1 や図 4 で示した N - 抵抗体、P + 抵抗体、N + 抵抗体を必要に応じて選択適用してかまわない。

【0067】

図 6 は本発明の CMOS 半導体装置の別の実施例を示す模式的断面図である。

【0068】

ゲート電極は本発明の根幹である P + 多結晶シリコン 1 0 7 単極の CMOS であり、図 1 に示した実施例と同様な低電圧動作、低消費電力、低コストの効果を有す

るが、さらにソースとドレインの両方にゲート電極とオーバーラップして不純物濃度の濃い拡散層N+103、P+104を配し、ソースとドレインもしくはドレインだけにゲート電極とオーバーラップして不純物濃度の薄い拡散層N-119、P-120を配したいわゆるDouble Diffused Drain (DDD) 構造からなるMOSトランジスタ構造としている。図5に示した構造と同等な効果を目的とするが、図5に示した実施例との違いは、高不純物濃度の拡散層がゲート電極とオーバーラップしており、その分MOSの動作時の寄生抵抗を小さくできるというメリットがある。しかしゲートとドレインのオーバーラップ、すなわちミラー容量が大きいため高周波動作には不向きという欠点ももつ。

【0069】

図6に示す構造は例えば低不純物濃度の拡散層をイオン注入法と熱処理により選択的に形成した後、高不純物濃度の拡散層を設けることで形成される。低不純物濃度の拡散層は、PMOS112のP-120の場合には不純物としてボロンないしはBF₂を用い濃度が $1 \times 10^{16} \sim 1 \times 10^{18} \text{ atoms/cm}^3$ 程度であり、NMOS113のN-119の場合には不純物としてリンないしは砒素を用い濃度が $1 \times 10^{16} \sim 1 \times 10^{18} \text{ atoms/cm}^3$ 程度である。高不純物濃度の拡散層は、PMOS112のP+104の場合には不純物としてボロンないしはBF₂を用い濃度が $1 \times 10^{19} \text{ atoms/cm}^3$ 以上であり、NMOS113のN+103の場合には不純物としてリンないしは砒素を用い濃度が $1 \times 10^{19} \text{ atoms/cm}^3$ 以上である。

【0070】

薄い拡散層N-119、P-120と濃い拡散層N+103、P+104のチャネル側への横方向拡散量の差は通常は0.2 μmから1 μm程度である。図6においてはPMOS112の片側だけがDDD構造であり、NMOS113は両側がDDD構造となっているが、素子の回路での使用方法によりMOSトランジスタの導電型に関わらず選択することができる。標準的には電流方向が双方向でソースとドレインがケースバイケースで入れ替わる両方向に耐圧が必要な場合はソースとドレインの両方をDDD構造とし、電流方向が単方向でソースとドレインが固定しているような場合には実効チャネル長の縮小のため片側すなわちドレイン側だけをDDD構造とする。図6にはゲート電極としてP+多結晶シリコン単層の例を示しているが

、図3に示したP+ポリサイド構造をゲート電極として使用することも可能である。同様に抵抗体も図6にはP-抵抗体しか示していないが、図1や図4で示したN-抵抗体、P+抵抗体、N+抵抗体を必要に応じて選択適用してかまわない。

【0071】

図7は本発明のCMOS半導体装置の別の実施例を示す模式的断面図である。

【0072】

ゲート電極は本発明の根幹であるP+多結晶シリコン107単極のCMOSであり、図1に示した実施例と同様な低電圧動作、低消費電力、低コストの効果を有するが、さらにソースとドレインを不純物濃度の薄い拡散層N-119、P-120とゲート電極からサイドスペーサの距離だけゲート電極から離れて設けた不純物濃度の濃い拡散層N+103、P+104のいわゆるLightly Doped Drain (LDD) 構造からなるMOSトランジスタ構造としている。図5、図6に示した構造と同等な効果を目的とするが、図5や図6に示した実施例との違いは、高不純物濃度拡散層が自己整合的に形成されるため微細化に有利な構造である反面、耐圧の向上に制限があるというデメリットも有している。

【0073】

図7に示す構造は例えば低不純物濃度の拡散層をイオン注入法と熱処理により形成した後、CVD法（化学気相成長法）により絶縁膜被着し異方性ドライエッチングを行うことでサイドスペーサを形成し、自己整合的に高不純物濃度の拡散層をイオン注入法により設けることで形成される。低不純物濃度の拡散層は、PMOS112のP-120の場合には不純物としてボロンないしはBF₂を用い濃度が $1 \times 10^{16} \sim 1 \times 10^{18} \text{ atoms/cm}^3$ 程度であり、NMOS113のN-119の場合には不純物としてリンないしは砒素を用い濃度が $1 \times 10^{16} \sim 1 \times 10^{18} \text{ atoms/cm}^3$ 程度である。高不純物濃度の拡散層は、PMOS112のP+104の場合には不純物としてボロンないしはBF₂を用い濃度が $1 \times 10^{19} \text{ atoms/cm}^3$ 以上であり、NMOS113のN+103の場合には不純物としてリンないしは砒素を用い濃度が $1 \times 10^{19} \text{ atoms/cm}^3$ 以上である。

【0074】

サイドスペーサ121の幅は通常は0.2 μm から0.5 μm 程度である。図

7にはゲート電極としてP+多結晶シリコン単層の例を示しているが、図3に示したP+ポリサイド構造をゲート電極として使用することも可能である。同様に抵抗体も図7にはP-抵抗体しか示していないが、図1や図4で示したN-抵抗体、P+抵抗体、N+抵抗体を必要に応じて選択適用してかまわない。

【0075】

図8は本発明のCMOS半導体装置の別の実施例を示す模式的断面図である。

【0076】

ゲート電極は本発明の根幹であるP+多結晶シリコン107単極のCMOSであり、図1に示した実施例と同様な低電圧動作、低消費電力、低コストの効果を有するが、さらにソースとドレインもしくはドレインだけを不純物濃度の薄い拡散層N-119、P-120とし、ソースとドレインもしくはドレインだけをゲート電極から距離をおいてかつその間に厚い絶縁膜122を設けて形成された不純物濃度の濃い拡散層N+103、P+104としたMOSトランジスタ構造としている。図5に示した構造と同等な効果を目的とするが、図5に示した実施例との違いは、高不純物濃度拡散層とゲート電極の間に厚い絶縁膜が設けられていることから電界緩和の効果は大きく高耐圧動作、例えば数十Vから数百Vの動作に対応できるというメリットがある。しかし素子サイズを小さくできないという欠点ももつ。

【0077】

図8に示す構造は例えば低不純物濃度の拡散層を選択的に形成した後、素子分離のためのいわゆるLOCOS形成と同時にゲート電極とソースとドレインもしくはゲート電極とドレインの間となる部分に厚い絶縁膜を形成し、ゲート電極を形成後、高不純物濃度の拡散層を設けることで形成される。低不純物濃度の拡散層は、PMOS112のP-120の場合には不純物としてボロンないしは BF_2 を用い濃度が $1 \times 10^{16} \sim 1 \times 10^{18} \text{ atoms/cm}^3$ 程度であり、NMOS113のN-119の場合には不純物としてリンないしは砒素を用い濃度が $1 \times 10^{16} \sim 1 \times 10^{18} \text{ atoms/cm}^3$ 程度である。高不純物濃度の拡散層は、PMOS112のP+104の場合には不純物としてボロンないしは BF_2 を用い濃度が $1 \times 10^{19} \text{ atoms/cm}^3$ 以上であり、NMOS113のN+103場合には不純物としてリンないしは砒素を用い濃度

が $1 \times 10^{19} \text{ atoms/cm}^3$ 以上である。

【 0 0 7 8 】

ゲート電極とドレインの間に形成されている絶縁膜の厚さは通常は素子分離用のフィールド酸化膜と同じ数千Åから $1 \mu\text{m}$ 前後の厚みであり、ゲート電極から高不純物濃度拡散までの距離は半導体装置に入力される電圧にもよるが通常は $1 \mu\text{m}$ 前後から数 μm である。図 8 においては PMOS 1 1 2 の片側だけが高耐圧構造であり、NMOS 1 1 3 は両側が高耐圧構造となっているが、素子の回路での使用方法により MOS トランジスタの導電型に関わらずその回路において適切な構造を選択することができる。標準的には電流方向が双方向でソースとドレインがケースバイケースで入れ替わる両方向に耐圧が必要な場合はソースとドレインの両方を高耐圧構造とし、電流方向が単方向でソースとドレインが固定しているような場合には寄生抵抗の削減のため片側すなわちドレイン側だけを高耐圧構造とする。また図 8 にはゲート電極として P+ 多結晶シリコン単層の例を示しているが、図 3 に示した P+ ポリサイド構造をゲート電極として使用することも可能である。同様に抵抗体も図 8 には P- 抵抗体しか示していないが、図 1 や図 4 で示した N- 抵抗体、P+ 抵抗体、N+ 抵抗体を必要に応じて選択適用してかまわない。

【 0 0 7 9 】

図 1 および図 3 から図 8 の実施例において様々な構造の MOS トランジスタや抵抗体を示したが、半導体装置に要求される仕様と各素子構造の特徴を考慮して適切な組み合わせによりパフォーマンスの高い半導体装置を形成することも可能である。例えば電源系統が 2 系統以上あるような半導体装置においては、必要に応じてゲート酸化膜厚も含め電圧帯に応じて以上に示してきた素子構造のなかから適切な構造の選択と組み合わせ行うといった取り組みである。

【 0 0 8 0 】

以上本発明の実施の形態を P 型半導体基板を用いた実施例により説明してきたが、基板の極性を逆にして N 型の半導体基板を用いた N 基板 P ウェル型の P+ 単極ゲート CMOS によっても以上に説明してきた内容と原理に同じく低電圧動作、低消費電力、低コストである半導体装置の提供は可能である。

【 0 0 8 1 】

【発明の効果】

上述したように、本発明はCMOSと抵抗体とを含むパワーマネジメント半導体装置やアナログ半導体装置において、CMOSのゲート電極の導電型をNMOS、PMOSともにP型単極の多結晶シリコンないしはP型多結晶シリコンと高融点金属シリサイドの積層構造であるP型ポリサイド構造とし、PMOSは表面チャネル型であるため短チャネル化や低しきい値電圧化が可能であり、また埋込みチャネル型であるNMOSもしきい値制御用の不純物として拡散係数の小さい砒素を使えるため極めて浅い埋込みチャネルとなり短チャネル化や低しきい値電圧化が容易となり、さらに分圧回路やCR回路に用いられる抵抗体をゲート電極と同一層の多結晶シリコンとすることで、従来のN+多結晶シリコンゲート単極のCMOSやチャネルとゲート電極の極性が同じ同極ゲートCMOSに比べ、コスト、工期、素子の性能の面で有利であるパワーマネジメント半導体装置やアナログ半導体装置の実現を可能とする。

【図面の簡単な説明】

【図 1】

本発明のCMOS半導体装置の一実施例を示す模式的断面図。

【図 2】

半導体装置による正型VR構成概要。

【図 3】

本発明のCMOS半導体装置の別の実施例を示す模式的断面図。

【図 4】

本発明のCMOS半導体装置の別の実施例を示す模式的断面図。

【図 5】

本発明のCMOS半導体装置の別の実施例を示す模式的断面図。

【図 6】

本発明のCMOS半導体装置の別の実施例を示す模式的断面図。

【図 7】

本発明のCMOS半導体装置の別の実施例を示す模式的断面図。

【図 8】

本発明のCMOS半導体装置の別の実施例を示す模式的断面図。

【図 9】

従来のCMOS半導体装置の模式的断面図。

【図 1 0】

従来のCMOS半導体装置の模式的断面図。

【図 1 1】

従来のCMOS半導体装置の模式的断面図。

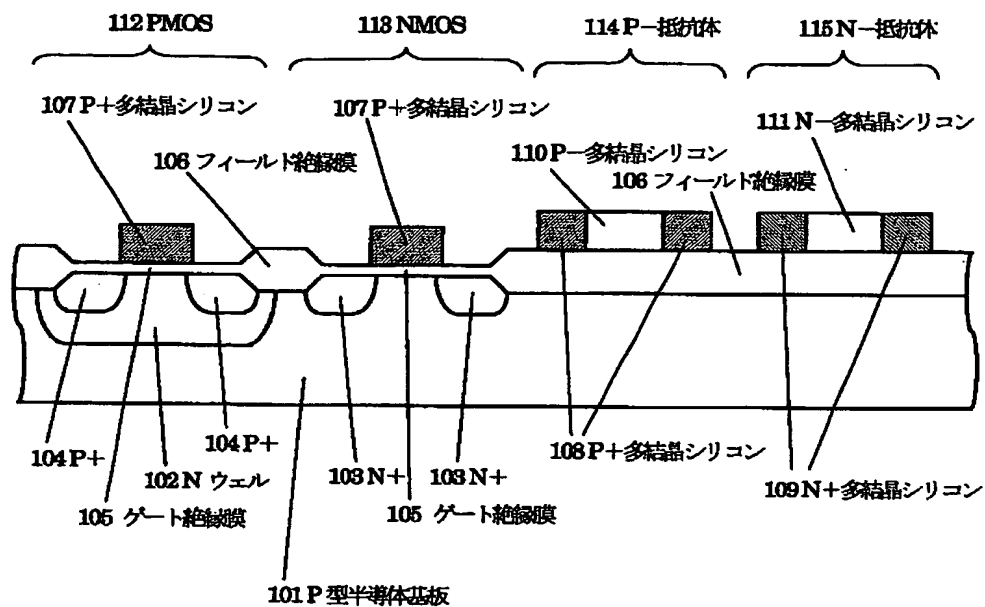
【符号の説明】

- 1 0 1、2 0 1 P型半導体基板
- 1 0 2、2 0 2 Nウェル
- 1 0 3、2 0 3 N+
- 1 0 4、2 0 4 P+
- 1 0 5、2 0 5 ゲート絶縁膜
- 1 0 6、2 0 6 フィールド絶縁膜
- 1 0 7 P+多結晶シリコン
- 1 0 8 P+多結晶シリコン
- 1 0 9、2 0 9 N+多結晶シリコン
- 1 1 0 P-多結晶シリコン
- 1 1 1、2 1 1 N-多結晶シリコン
- 1 1 2、2 1 2 PMOS
- 1 1 3、2 1 3 NMOS
- 1 1 4 P-抵抗体
- 1 1 5、2 1 5 N-抵抗体
- 1 1 6、2 1 6 高融点金属シリサイド
- 1 1 7 P+抵抗体
- 1 1 8 N+抵抗体
- 1 1 9 N-
- 1 2 0 P-
- 1 2 1 サイドスペーサー

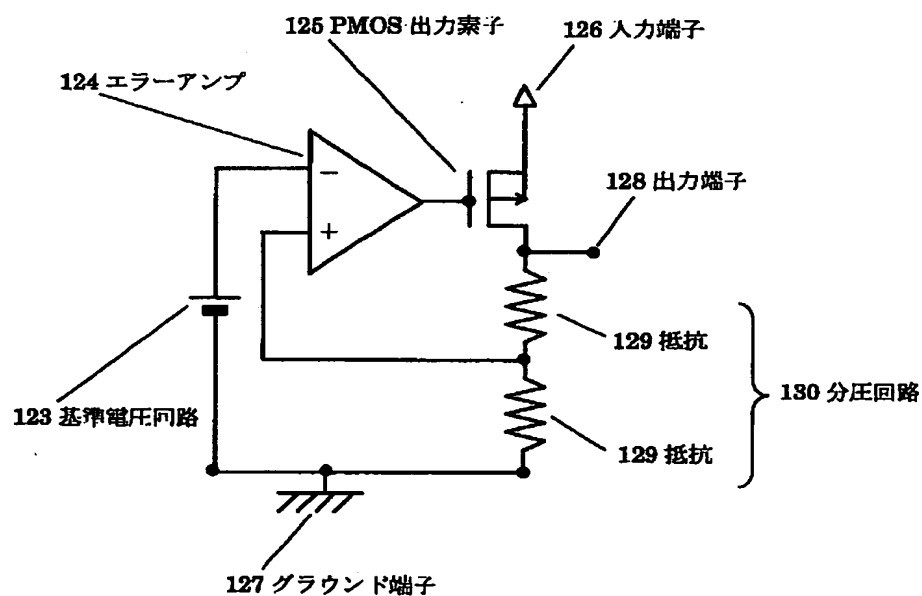
- 1 2 2 絶縁膜
- 1 2 3 基準電圧回路
- 1 2 4 エラーアンプ
- 1 2 5 PMOS出力素子
- 1 2 6 入力端子
- 1 2 7 グラウンド端子
- 1 2 8 出力端子
- 1 2 9 抵抗
- 1 3 0 分圧回路
- 2 3 1 N+多結晶シリコン
- 2 3 2 P+多結晶シリコン

【書類名】 図面

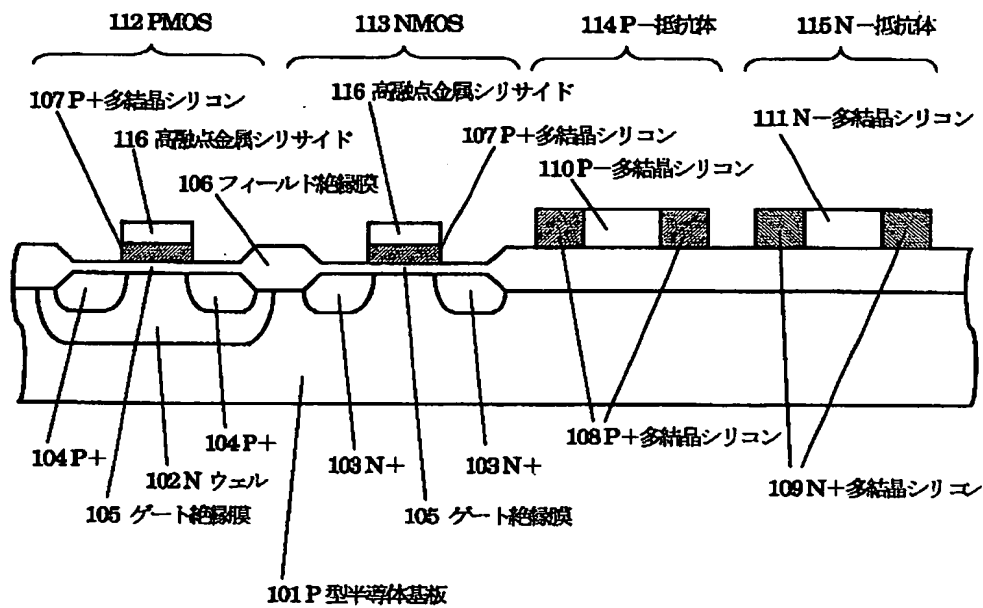
【図 1】



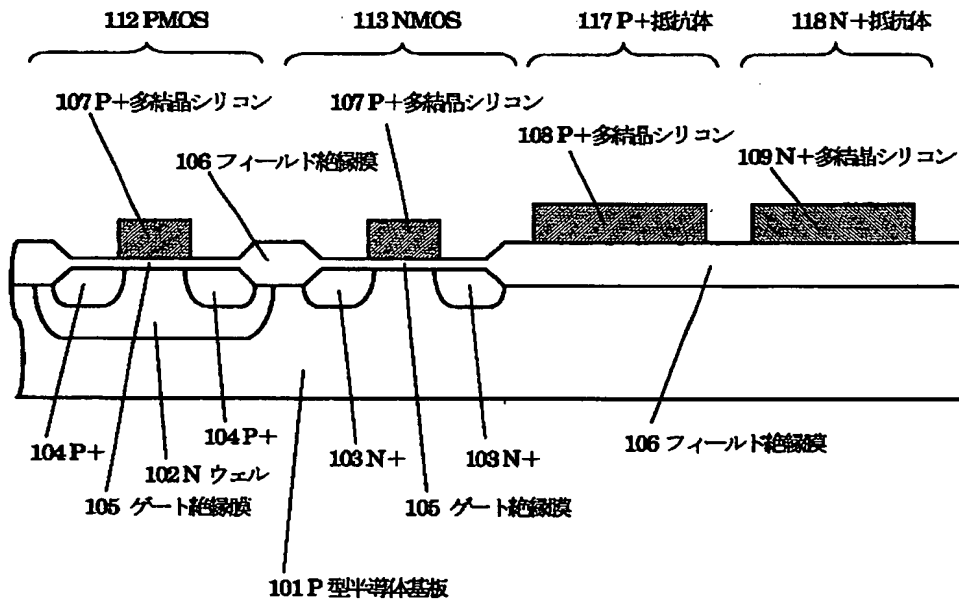
【図 2】



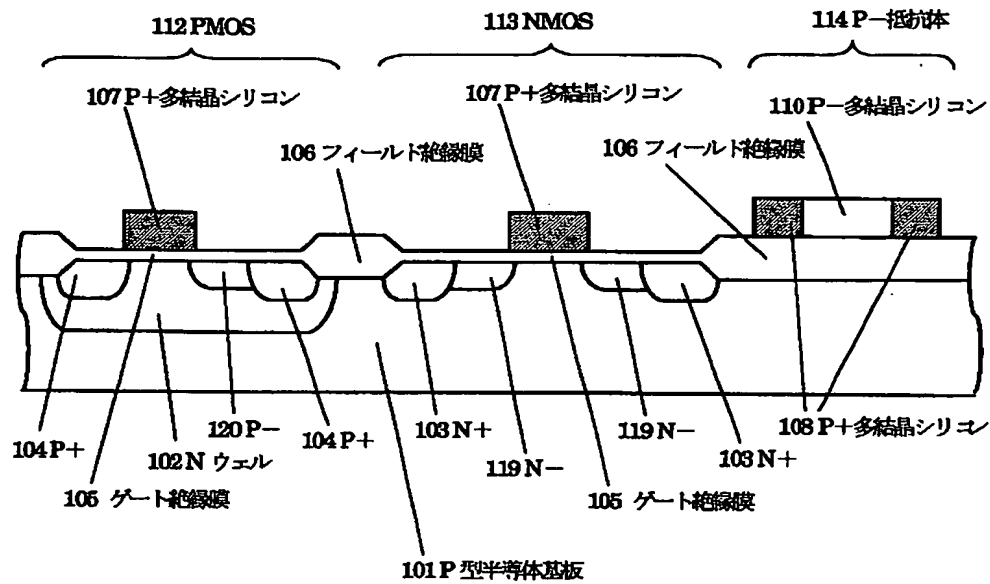
【図 3】



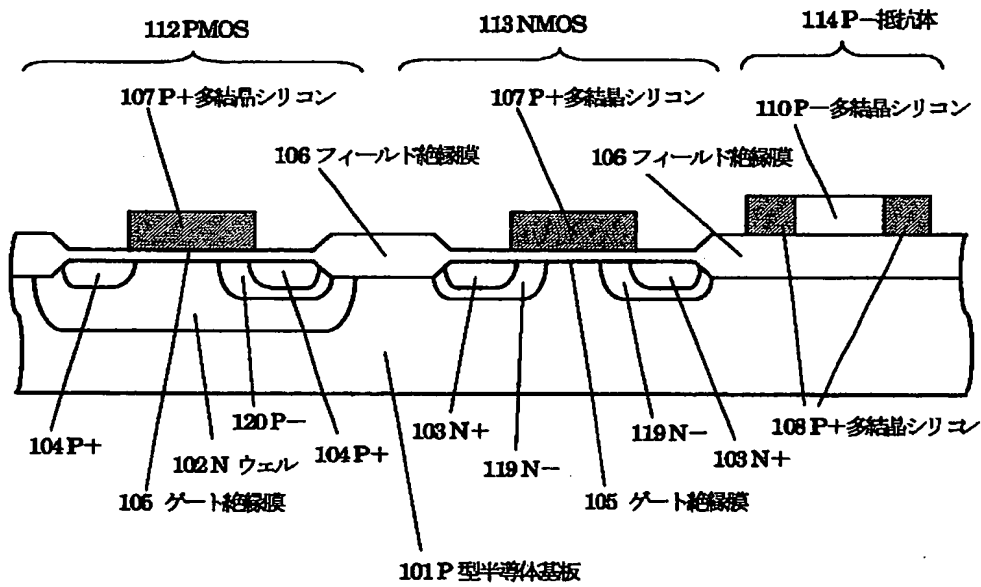
【図 4】



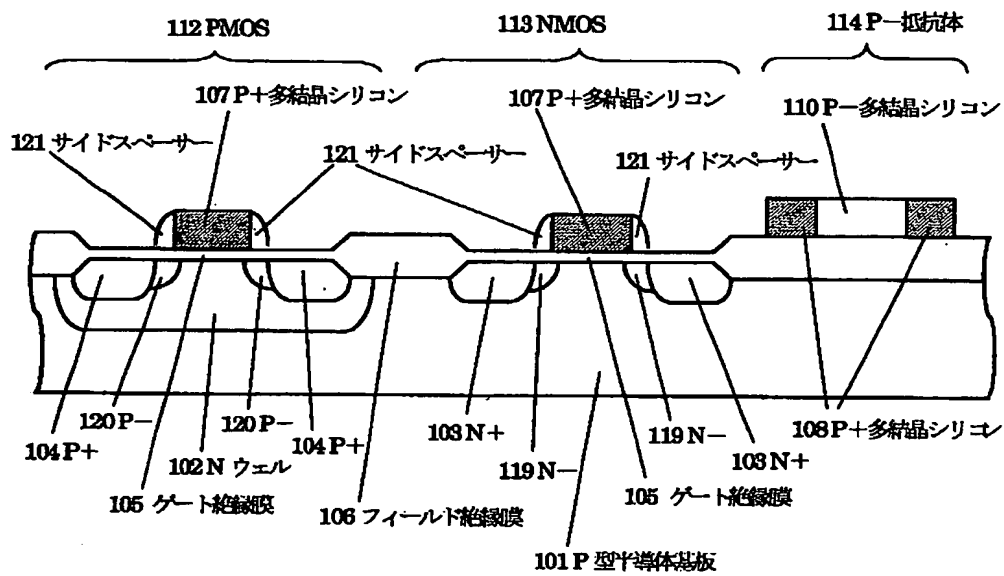
【図 5】



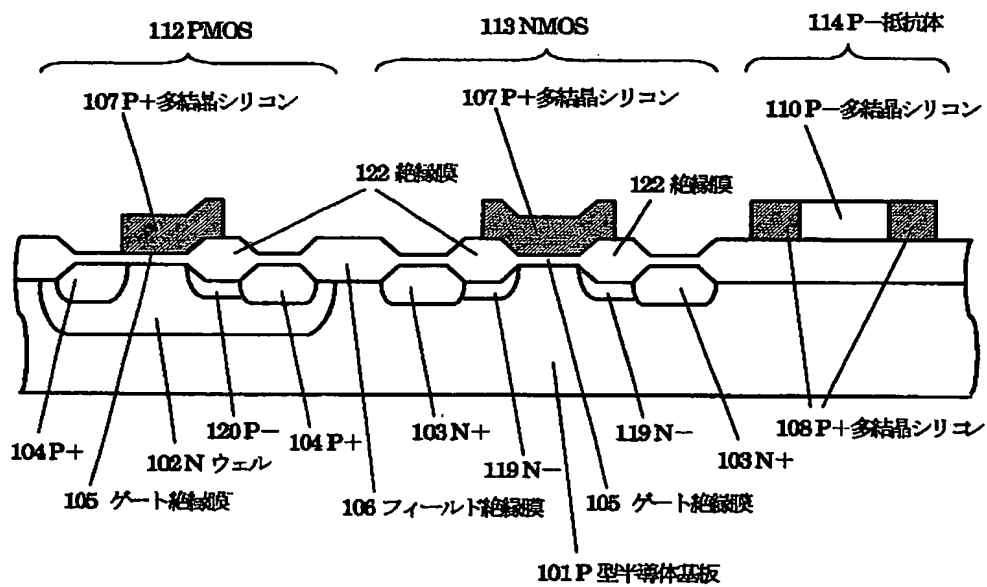
【図 6】



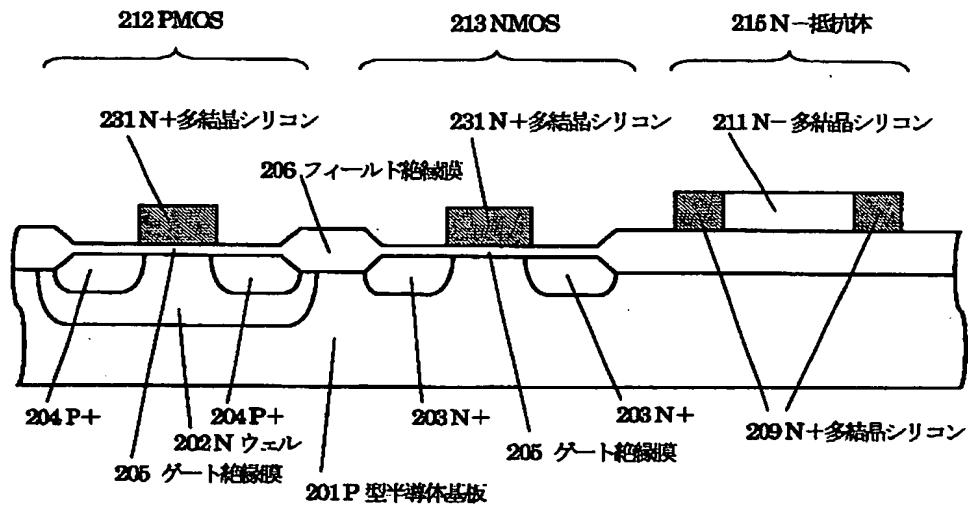
【図 7】



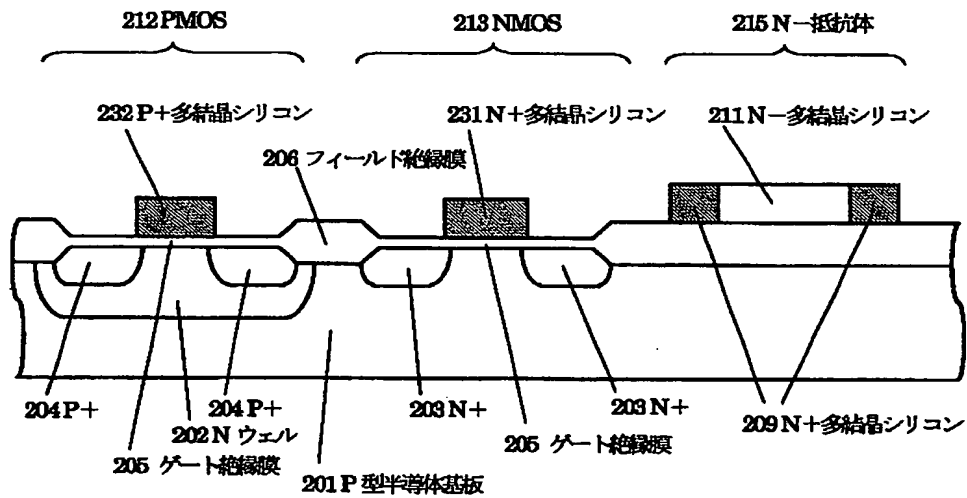
【図 8】



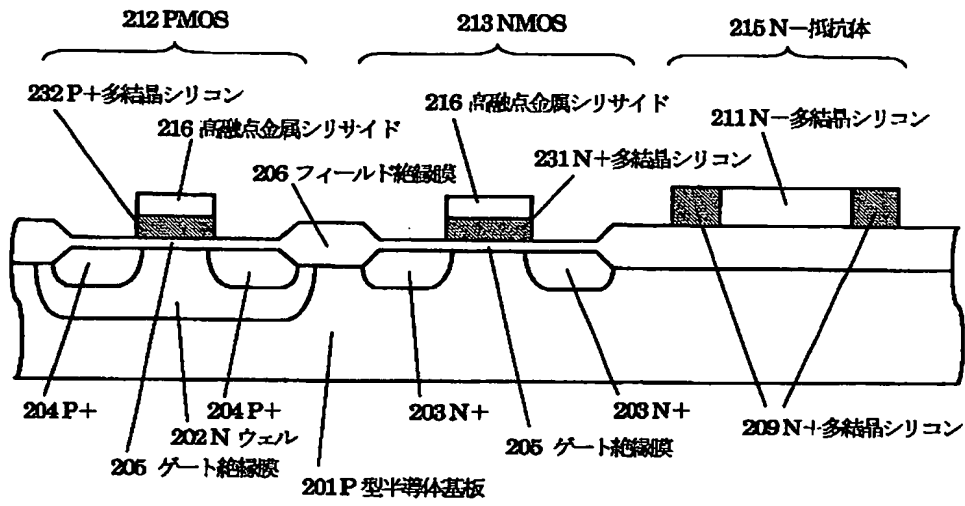
【図 9】



【図 10】



【図 1 1】



【書類名】 要約書

【要約】

【課題】 低コストで短工期でありかつ低電圧動作が可能で低消費電力および高駆動能力を有するパワーマネージメント半導体装置やアナログ半導体装置の実現を可能とする構造の提供。

【問題解決手段】 CMOSと抵抗体とを含むパワーマネージメント半導体装置やアナログ半導体装置において、CMOSのゲート電極の導電型をNMOS、PMOSともにP型単極の多結晶シリコンないしはP型多結晶シリコンと高融点金属シリサイドの積層構造であるP型ポリサイド構造とし、PMOSは表面チャネル型であるため短チャネル化や低しきい値電圧化が可能であり、また埋込みチャネル型であるNMOSもしきい値制御用の不純物として拡散係数の小さい砒素を使えるため極めて浅い埋込みチャネルとなり短チャネル化や低しきい値電圧化が容易となり、さらに分圧回路やCR回路に用いられる抵抗体をゲート電極と同一層の多結晶シリコンとすることで、従来のN+多結晶シリコンゲート単極のCMOSやチャネルとゲート電極の極性が同じ同極ゲートCMOSに比べ、コスト、工期、素子の性能の面で有利であるパワーマネージメント半導体装置やアナログ半導体装置の実現を特徴とする。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000002325]

| | |
|----------|-------------------|
| 1. 変更年月日 | 1997年 7月23日 |
| [変更理由] | 名称変更 |
| 住 所 | 千葉県千葉市美浜区中瀬1丁目8番地 |
| 氏 名 | セイコーインスツルメンツ株式会社 |